

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Untitled

CLIPPEDIMAGE= JP410199752A

PAT-NO: JP410199752A

DOCUMENT-IDENTIFIER: JP 10199752 A

TITLE: MULTILAYER CERAMIC ELECTRONIC PART

PUBN-DATE: July 31, 1998

INVENTOR-INFORMATION:

NAME

OGOSE, YOICHI

UENO, IWAO

WAKAHATA, YASUO

OKAMOTO, KAORI

TAKAMI, AKIHIRO

KOBAYASHI, KIMIO

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP09004302

APPL-DATE: January 14, 1997

INT-CL (IPC): H01G004/232;H01G004/12 ;H01G004/30

ABSTRACT:

PROBLEM TO BE SOLVED: To remove a distortion in thermal contraction ratio owing to a difference of thermal expansion coefficient between ceramics and an external electrode and prevent a generation of cracks by a method wherein the external electrodes are formed only at both end surfaces to which an internal electrode of a lamination is exposed.

SOLUTION: Internal electrodes 6 are alternately provided so as to expose to an end surface of a ceramic layer 5. A lamination 7 is constituted by this plurality of ceramic layers 5 and internal electrodes 6. External electrodes 8 are provided only on both end surfaces to which the internal electrode

Untitled

s 6 of  
this lamination 7 are alternately exposed, whereby a distortion due to  
a  
difference of thermal contraction ratio is removed in a manufacturing  
process.  
Thereby, multilayer ceramic electronic parts which can be sufficiently  
endured  
if a heat cycle is applied thereto are manufactured without generating  
cracks  
in a ceramic layer.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-199752

(43)公開日 平成10年(1998) 7月31日

(51)Int.Cl. <sup>8</sup>	識別記号	F I
H 0 1 G 4/232		H 0 1 G 1/147 A
4/12	3 5 2	4/12 3 5 2
4/30	3 0 1	4/30 3 0 1 B

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号 特願平9-4302

(22)出願日 平成9年(1997) 1月14日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 生越 洋一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 上野 巖

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 若畑 康男

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

最終頁に続く

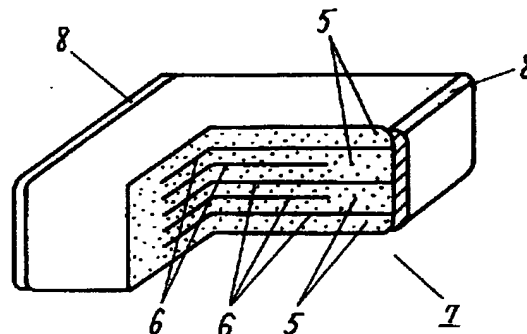
(54)【発明の名称】 積層形セラミック電子部品

(57)【要約】

【課題】 製造時にクラックの発生のない積層形セラミック電子部品を提供することを目的とするものである。

【解決手段】 セラミック層5間に交互に端面に表出する内部電極6を設けた積層体7の内部電極6の表出する両端面のみに外部電極8を形成した構成としたものである。

5 セラミック層 7 積層体  
6 内部電極 8 外部電極



## 【特許請求の範囲】

【請求項1】 セラミック層の間に交互に端面に表出する内部電極を設けた積層体の内部電極の表出する両端面のみに外部電極を形成してなる積層形セラミック電子部品。

【請求項2】 積層体の両端面に設けた外部電極を被い積層体の端面に隣接する他の4面にまたがるように補強用電極を設けた請求項1に記載の積層形セラミック電子部品。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は各種電子機器に利用される積層形セラミックコンデンサや積層形バリスタなどの積層形セラミック電子部品に関するものである。

## 【0002】

【従来の技術】 一般に、電子部品分野においては軽薄短小化や高性能化の要請が強く、その対策として一般的には積層構造のものが多く採用されてきている。

【0003】 従来の積層形セラミックコンデンサに代表される積層形セラミック電子部品としては図6、図7に示すように構成されていた。すなわち、複数のセラミック層1の間に内部電極2を交互に対向する端面に表出するように設け、この内部電極2が表出する両端面およびこの両端面に隣接する4面の一部に外部電極3を形成して構成されている。

【0004】 このような構成で、その製造方法は、セラミック生シート上に電極ペーストを交互に対向する端縁に至るように印刷して内部電極2としたものを複数枚積層し、少なくとも最上層に電極の形成されないセラミック生シートを積層したものを加圧成形し、これを所定の寸法に切断して電子部品素体とし、この電子部品素体の両端に外部電極3を塗布してから焼成して積層形セラミック電子部品としていた。

## 【0005】

【発明が解決しようとする課題】 上記従来の構成および製造方法においては、焼成時の最高温度から冷却していく際に、外部電極3とセラミック層1の熱膨張係数の違いにより収縮率の違いが発生し、図7に示すようにセラミック層1にクラック4が発生し、電気特性にばらつきが発生してしまうといった問題があった。このクラック4の発生は、電子部品素体の両端面に隣接する4面にまで外部電極3が形成されており、上述の収縮率の違いによる歪みが外部電極3の端部に集中することにより、外部電極3の端部を結ぶ線に発生するものと考えられる。

【0006】 すなわち、両端面だけでなく端面に隣接する4面に外部電極3が形成されている場合、熱収縮の違いによる応力が3次元に働き、端面から隣接する4面に形成されている外部電極3の端部が端面上の外部電極3に引張られ、これにより外部電極3の4面の端部に応力

が集中し、セラミック層1にクラック4が発生すると考えられる。

【0007】 本発明は以上のような従来の欠点を除去し、製造時にクラックの発生しない積層形セラミック電子部品を提供することを目的とするものである。

## 【0008】

【課題を解決するための手段】 上記課題を解決するために本発明の積層形セラミック電子部品は、セラミック層の間に交互に端面に表出する内部電極を設けた積層体の内部電極の表出する両端面のみに外部電極を形成したものである。

【0009】 上記構成とすることにより、セラミックと外部電極の熱膨張係数の違いからくる熱収縮率による歪みによってセラミック層にクラックを発生させることが阻止できることになる。

## 【0010】

【発明の実施の形態】 本発明の請求項1に記載の発明は、セラミック層の間に交互に端面に表出する内部電極を設けた積層体の内部電極の表出する両端面のみに外部電極を形成したものであり、製造過程で熱収縮率の差によるクラックの発生は阻止することができる。

【0011】 請求項2に記載の発明は、外部電極を被い積層体の端面に隣接する他の4面にまたがるように補強用電極を設けたものであり、外部電極の積層体からの剥れを阻止することができる。

【0012】 以下、本発明の積層形セラミック電子部品の一実施の形態の具体例について図面を用いて説明する。

【0013】 図1は本発明の一実施の形態における積層形セラミックコンデンサを例とする積層形セラミック電子部品の一部切欠斜視図、図2は同要部の断面図、図3は同製造工程上の分解斜視図、図4は同製造方法を示す工程図、図5は他の例を示す要部の断面図である。

【0014】 まず、図1、図2において、5はセラミック層であり、6は交互にセラミック層5の端面に表出するように設けた内部電極、7はこの複数のセラミック層5と内部電極6によって構成された積層体、8はこの積層体7の内部電極6の交互に表出する両端面にのみ設けられた外部電極である。

【0015】 次に上記構成の積層形セラミック電子部品を製造する方法について説明する。まず、 $\text{SrTiO}_3$  (98.0mol%) を主成分とし、これに $\text{Nb}_2\text{O}_5$  (1.0mol%)、 $\text{MnO}$  (1.0mol%) を混合してなるセラミック材料を空气中で600~1200℃で仮焼し、平均粒径が0.5μm以下になるように粉砕し、この粉砕された微粉末を出発原料とした。

【0016】 この微粉末の出発原料をブチラル樹脂などの有機バインダーとともに溶媒中に分散させてスラリー状とし、このスラリーをドクターブレード法によって20μm程度の厚さの生シートにして所定の大きさに切

断した。

【0017】次に図3に示すように、生シート9の上にPdからなる内部電極ペースト10を所定の大きさに応じてスクリーン印刷によりパターン印刷した。このように内部電極ペースト10を印刷した生シート9を複数枚積層し、最上層および最下層の生シート9aには内部電極ペーストを印刷しないものを積層した。また、内部電極ペースト10を印刷した生シート9は、内部電極ペースト10が端縁まで形成される側を交互に対向する端縁にくるように積層し、最終的には加熱しながら加圧して圧着した。

【0018】次に空气中で600～1250℃で脱脂、仮焼を行った後、内部電極6が表出した両端面に隣接する4面にAg-Pdからなる外部電極ペーストがまわりこまないように塗布し、還元雰囲気中で1200～1350℃で焼成した。この焼成後、空气中で900～1250℃で再酸化して図1、図2に示す積層形セラミック電子部品とした。

【0019】なお、外部電極8の剥れが心配な場合は、上記外部電極8を被うようにAgよりなる補強用電極ペーストを隣接する4面の一部にも形成されるように塗布し、空气中で850℃、15分間焼付けて補強用電極11を形成した。

【0020】この製造方法を図4に示すとともにその構成を図5に示す。また、具体例としては幅3.2mm、奥行き1.6mm、厚み0.5mmの寸法で内部電極の形成された有効層を30層、上下端面に無効層を配置して積層したバリスタ機能付セラミックコンデンサとし、その容量と容量のばらつき、さらに割れの発生率を(表1)に示した。ただし、このときの焼成などの各条件は粉末段階における空气中での脱脂、仮焼は1200℃、2時間、 $N_2:H_2=99:1$ の還元雰囲気中で焼成は1300℃、2時間、再酸化は1100℃、1時間で行ったものである。

【0021】なお、容量Cは測定電圧1.0V、周波数1.0kHzでの値であり、割れの発生率は、樹脂中に測定済みのバリスタ機能付セラミックコンデンサを埋め込み、バフ研磨などの研磨をし、顕微鏡観察を行って得たものである。

【0022】

【表1】

	本 発 明	従 来 例
ワレの発生率	0%	31%
容 量 C	100nF	80nF
容 量 C の バラツキσn	2%	27%

【0023】(表1)から明らかなように本発明による積層形セラミック電子部品は、従来例に比べ割れも抑制され、容量のばらつきも著しく低減されている。

【0024】なお、本実施の形態においては、セラミック材料にSrTiO<sub>3</sub>系の材料を用いたが、この材料としてはBaTiO<sub>3</sub>などの他の誘電体材料やZnOやサーミスタなどの半導体セラミックでも有効である。

【0025】また、内部電極用ペースト10にPd、外部電極用ペーストにPd-Agを用いたが、内部電極にPt、Pd-Agや卑金属であるNi、Cu、外部電極にPt、Pd、Ni、Cuあるいはそれらの混合物のペーストを用いてもよい。

【0026】

【発明の効果】以上のように本発明によれば、セラミック層にクラックを発生させることなく、ヒートサイクルが加えられても十分に耐えられる積層形セラミック電子部品とすることができる。

【図面の簡単な説明】

【図1】本発明の積層形セラミック電子部品の一実施の形態における一部切欠斜視図

【図2】同要部の断面図

【図3】同製造工程途上の分解斜視図

【図4】同製造工程図

【図5】他の実施の形態の要部の断面図

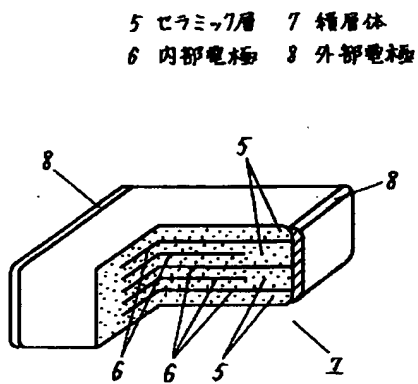
【図6】従来の積層形セラミック電子部品の一部切欠斜視図

【図7】同要部の断面図

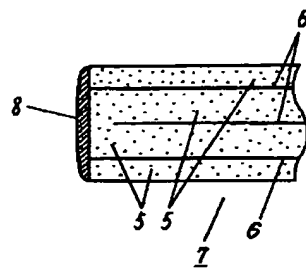
【符号の説明】

- 5 セラミック層
- 6 内部電極
- 7 積層体
- 8 外部電極
- 11 補強用電極

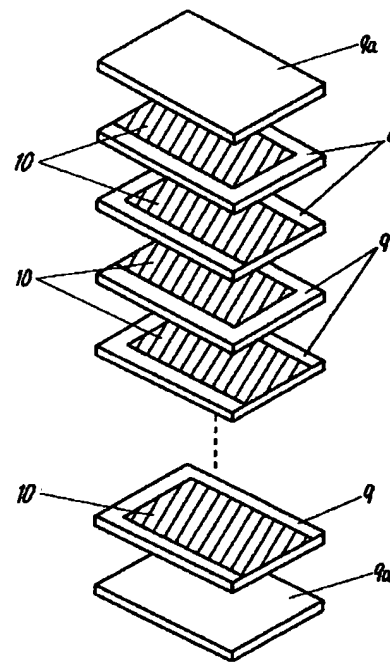
【図1】



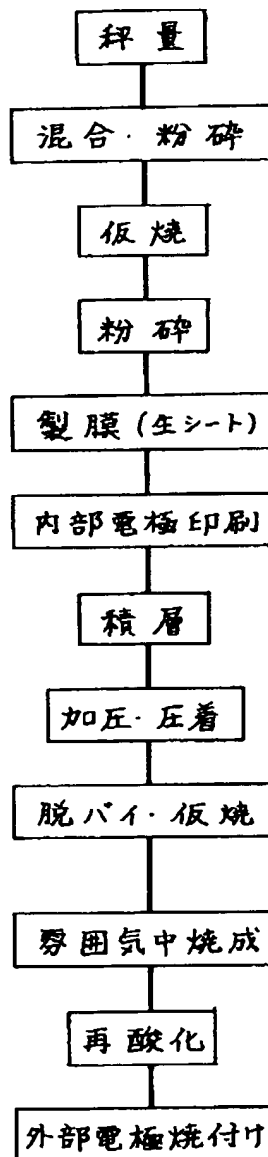
【図2】



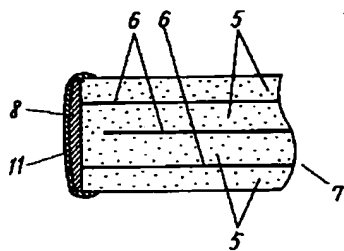
【図3】



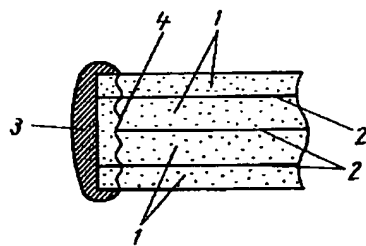
【図4】



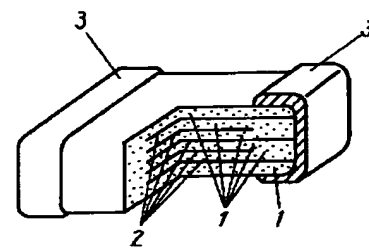
【図5】



【図7】



【図6】



フロントページの続き

(72)発明者 岡本 香織

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 ▲高▼見 昭宏

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 小林 喜美男

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内